

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.

PAT-NO: JP02002278641A

DOCUMENT-IDENTIFIER: JP 2002278641 A

TITLE: CLOCK GENERATOR FOR GENERATING  
FREQUENCY JITTER SYSTEM  
CLOCK

PUBN-DATE: September 27, 2002

INVENTOR-INFORMATION:

NAME

BOCK, CHRISTIAN

COUNTRY

N/A

ASSIGNEE-INFORMATION:

NAME

MICRONAS GMBH

COUNTRY

N/A

APPL-NO: JP2001387392

APPL-DATE: December 20, 2001

PRIORITY-DATA: 200010065072 ( December 23, 2000) ,  
200101106972 ( March 21,  
2001)

INT-CL (IPC): G06F001/04, H03K003/84

ABSTRACT:

PROBLEM TO BE SOLVED: To provide a system clock generator capable of largely reducing interference.

SOLUTION: This clock generator is provided with a random number generator 1 and a phase modulator 4, and an integrator 3 for integrating random numbers z1 and z2 is inserted between the random number generator 1 and the phase modulator 4, and the output of the integrator 3 controls the

phase value of the  
phase modulator 4 by integration  $\rho_a; j'$ . The integrator 3 is  
connected to a  
check device 7, and the check device 7 interferes during the  
random numbers  $z_1$   
and  $z_2$ , or interposes in an integration process so that  
preliminarily decided  
limit values  $G_1, G_1'$ ;  $G_2, G_2'$ ; and  $G_3, G_3'$  of the integration  
 $\rho_a; j'$  can not be  
exceeded.

COPYRIGHT: (C) 2002, JPO

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-278641

(P2002-278641A)

(43)公開日 平成14年9月27日(2002.9.27)

(51)Int.Cl.<sup>7</sup>

識別記号

F I

テーマコード(参考)

G 0 6 F 1/04

G 0 6 F 1/04

A 5 J 0 4 9

// H 0 3 K 3/84

H 0 3 K 3/84

Z

審査請求 未請求 請求項の数10 OL (全 11 頁)

(21)出願番号 特願2001-387392(P2001-387392)

(71)出願人 598031992

(22)出願日 平成13年12月20日(2001.12.20)

ミクロナス ゲーエムベーハー

ドイツ連邦共和国、デー - 79108 フ

ライブルク・イム・プライスガウ、ハンス

- ブンテ - シュトラレーセ 19

(31)優先権主張番号 1 0 0 6 5 0 7 2 . 4

(72)発明者 クリスチャン・ボック

(32)優先日 平成12年12月23日(2000.12.23)

ドイツ連邦共和国、デー-79108 フライ

(33)優先権主張国 ドイツ(DE)

ブルク、バルトシュトラレーセ 1ア-

(31)優先権主張番号 0 1 1 0 6 9 7 2 . 1

(74)代理人 100058479

(32)優先日 平成13年3月21日(2001.3.21)

弁理士 鈴江 武彦 (外4名)

(33)優先権主張国 欧州特許庁(E P)

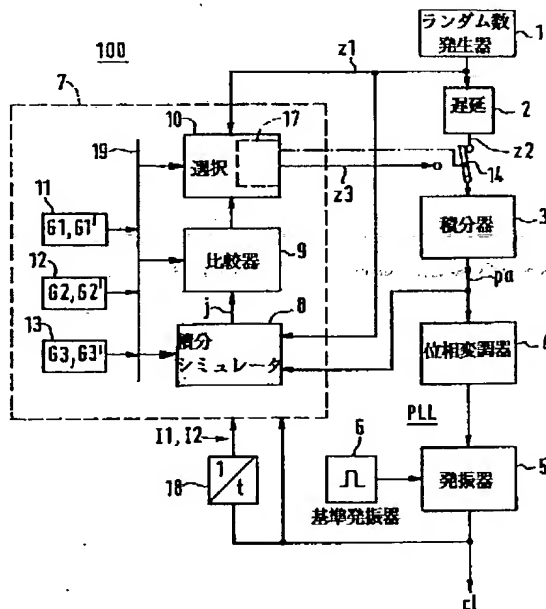
Fターム(参考) 5J049 AA00 AA01 AA08 AA15 CA00

(54)【発明の名称】 周波数ジッターシステムクロックを発生するためのクロック発生器

(57)【要約】

【課題】 本発明は、干渉の大きな減少が可能なシステムクロック発生器を提供することを目的とする。

【解決手段】 ランダム数発生器1と位相変調器4を備え、ランダム数発生器1と位相変調器4との間にランダム数 $z_1$ 、 $z_2$ を積分する積分器3が挿入され、積分器3の出力はその積分 $pa; j'$ により位相変調器4の位相値を制御し、積分器3はチェック装置7に結合され、このチェック装置7はランダム数 $z_1$ 、 $z_2$ 中で干渉するか、または積分 $pa; j'$ の予め定められた限界値 $G_1$ 、 $G_1'$ ;  $G_2$ 、 $G_2'$ ;  $G_3$ 、 $G_3'$ が超過されないように積分プロセスに介入することを特徴とする。



## 【特許請求の範囲】

【請求項1】 周波数スペクトル中でジッタされるシステムクロック(c1)を発生し、したがって最小の放射干渉を生成するためにランダム数発生器(1)と位相変調器(4)を具備するクロック発生器(100)において、

ランダム数発生器(1)と位相変調器(4)との間に、ランダム数発生器により与えられたランダム数(z1、z2)を積分するための積分器(3)が挿入され、積分器(3)の出力はその積分(pa;j')により位相変調器(4)のそれぞれの位相値を制御し、積分器(3)はチェック装置(7)に結合され、このチェック装置(7)はランダム数(z1、z2)中で干渉するか、または積分(pa;j')の予め定められた限界値(G1、G1'; G2、G2'; G3、G3')が超過されないように積分プロセスに介入することを特徴とするクロック発生器(100)。

【請求項2】 第1の限界値(G1、G1'; cmin)と開始値(psol1; G1、G1'; G2、G2')はシステムクロック(c1)の最大の許容可能な位相シフトに対応する積分(pa;j')の最大ジャンプ(M; M': M\*)を規定することを特徴とする請求項1記載のクロック発生器(100)。

【請求項3】 第2の限界値(G2、G2')は少なくとも予め定められた第1の時間インターバル中にシステムクロック(c1)の第1の最大の許容可能な位相偏差を規定することを特徴とする請求項1記載のクロック発生器(100)。

【請求項4】 ランダム数発生器(1)は予め定められた値の範囲内、特に第1の限界値(G1、G1')により規定される範囲内に位置するランダム数(z1、z2)を発生することを特徴とする請求項1乃至3のいずれか1項記載のクロック発生器(100)。

【請求項5】 第1の時間インターバル外側に位置することが好ましい第2の時間インターバル中、第3の限界値(G3、G3')はシステムクロック(c1)の第2の最大の許容可能な位相偏差を規定し、第3の限界値はその大きさが少なくとも第2の限界値(G2、G2')に等しいことを特徴とする請求項1乃至4のいずれか1項記載のクロック発生器(100)。

【請求項6】 チェック装置(7)は第1、第2または第3の限界値(G1、G1'; G2、G2'; G3、G3')を満足させるために積分前にランダム数(z1、z2)を修正する修正装置(17; 17.1; 17.2)を具備していることを特徴とする請求項1乃至5のいずれか1項記載のクロック発生器(100)。

【請求項7】 修正装置(17)は、積分(pa;j')が最近の第1の時間インターバルの開始時に再度第2の限界値(G2、G2')に到達することを確実にするために、第3の限界値(G3、G3')に割当てられた帰

還ストラテジを実行するサブ回路(17.2)を含んでいることを特徴とする請求項6記載のクロック発生器(100)。

【請求項8】 第2の限界値(G2、G2')によって規定された第1の位相位置範囲(A1)から、拡張された位相位置範囲、即ち第2の位相位置範囲(A2)が上および/または下の範囲限界(G2、G2')に付加的な範囲、特に最大のジャンプ(M)に大きさが等しい範囲を付加することにより形成されることを特徴とする請求項6または7記載のクロック発生器(100)。

【請求項9】 チェック装置(7)と積分器(3)の演算の少なくとも一部分は並列接続された計算装置(60、70)により実行され、選択装置(80)は前記計算装置の1つを新しい積分(pa;j')を生成するために出力に接続することを特徴とする請求項1乃至8のいずれか1項記載のクロック発生器(100)。

【請求項10】 積分するための請求項1乃至9のいずれか1項にしたがって、ランダム数(z1、z2)の代わりにクロック発生器(100)中の積分器(3)に供給される修正されたランダム数(z3;k)を発生する方法において、積分中に許容可能な範囲(A0、A1、A2)がランダム数(z1、z2)によって超過されたことを決定する第1のステップとそれに続く第2のステップとを含み、この第2のステップは、積分されるランダム数(z1、z2)が予め定められた数、特に予め定められた最大のジャンプ(M)に対応する数により置換され、または、

積分されるランダム数(z1、z2)が予め定められた数のシーケンスにより置換され、または、

積分されるランダム数の過剰値(psl0'、ps7')が関連する範囲限界値(G1、G1'、G2、G2'、G3、G3')でミラーされ、または、

積分されるランダム数(z1、z2)が変更された符号と同一の大きさの数により置換され、または、

第3の範囲限界値(G3、G3')が超過されたならば、積分されるランダム数(z1、z2)は適切な符号を有する予め定められた数、特に最大の許容可能なジャンプ(M)に対応する数により置換され、これは最近の第1の時間インターバルの開始時に第2の範囲限界値

(G2、G2')に戻ることを許容し、または、

積分されるランダム数(z1、z2)または最後のランダム数のシーケンスがランダム数の反復または少なくとも1つの変更された符号を有する最後のランダム数のシーケンスの反復により置換され、反復中の順序は任意であり、または、

積分されるランダム数(z1、z2)が抑制され、適切なランダム数が現れるまで新しいランダム数が使用され、それによってそれぞれの範囲限界が満足されることを特徴とする方法。

【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は周波数ジッターシステムクロックを発生するためのクロック発生器に関する。

## 【0002】

【従来の技術】このようなクロック発生器およびこのようなシステムクロックを発生する方法は例えばドイツ特許出願DE 44 42 403 A1 号明細書またはEP 0 715 408 A1 号明細書（内国：C-1674）に開示されている。そこでは、高い周波数正確度のシステムクロックは、ランダム数発生器からのランダム数で制御される位相変調器による安定な位相と周波数の基本的なクロック信号の位相変調により発生される。

## 【0003】

【発明が解決しようとする課題】しかしながら、システムクロックが実際の応用で確実に機能するならば、位相偏差は非常に大きくてはならない。それはそうでなければ、非常に短いクロック位相の場合、システムクロックにより制御される幾つかのサブ回路の残りの処理時間は十分に長くないためである。それ故、最小値は高および低クロック状態に対して特定され、その値よりも下にクロック位相は低下してはならない。単位時間当りのできる限り多くの機能が実行されることができるようシステムクロック発生器が技術的限界近くで動作するとき、実質上クロック位相を短くすることは可能ではない。しかしながら、システムクロックの周波数ジッター領域と、放射された干渉の減少における効果も比較的限定された状態であるように、これは位相変調範囲を限定する。

【0004】本発明の目的は、改良されたシステムクロック発生器を提供することであり、それによって放射された干渉の大きな減少が可能である。

## 【0005】

【課題を解決するための手段】この目的は、請求項1に記載されているようなクロック発生器により達成され、それは基本的にランダム数を積分するために積分器がランダム数発生器と位相変調器との間に挿入されることを特徴とする。これはランダム数制御された位相変調からランダム数制御された周波数変調への転移を表している。他方で、発生されたそれぞれの位相シフトが直接ランダム数に連結されるので、位相変調は完全には放棄されない。最大量の位相シフトはしたがってランダム数の可能にされた範囲により簡単な方法で制御されることができる。限定された範囲を有する疑似ランダム数としてランダム数が発生されないならば、別々の範囲の限定が必要であり、これは例えばオーバーフローの無視またはモジュロ動作によって実行されることができる。本発明により個々の位相シフトを累算することによって、許容可能なジッター領域は純粋な位相変調よりも実質上大きくなることができる。他方で、位相、したがって周波数

がそれぞれ所望の位相と所望の周波数から大きく変化しないことを確実にしなければならない。そうでなければ、正、負、または正および負のランダム数が可能にされるかにかかわらず、任意の値はランダム数の累算中に到達される。いずれにせよ、許容可能な範囲が超過されることを防止する適切な方法が与えられなければならない。これは選択された方法がランダム数シーケンスで干渉し、したがってこのシーケンスを部分的に決定論的シーケンスにより置換することを考慮しなければならない。10 他方で、クロック信号にロックされている接続された処理段の電流パルスが可能な限り強化された高調波成分を含んでいない事実のためにランダムは先行条件である。したがって、方法はできる限り少なくランダム数シーケンスで干渉する。適切なコンピュータシミュレーションによる種々の方法の解析は明白に異なる効果を示し、システムクロックの周波数、最小の許容可能なクロック位相、可能にされた周波数または位相範囲だけでなく必要とする回路の量等のそれぞれの動作パラメータにしたがって最適化を許容する。多くの場合、特定される制限は正規の動作中で異なり、例えば最初の時間インターバルでは狭く制限され、これらの時間インターバル外では広く制限される。これは勿論ジッターに好ましい効果を有する。しかしながら、選択された帰還方法により、もっと狭い限定は最近の最初の時間インターバルの開始時に再度到達されることが確実にされなければならない。反対に、この方法から、周波数および位相がどの程度第2の時間インターバル中に所望値から逸脱するかを理解する。

## 【0006】

【発明の実施の形態】本発明およびそのさらに有効な特徴は添付図面を参照してさらに詳細に説明されよう。図1は概略ブロック図で本発明によるクロック発生器100の1実施形態を示している。ランダム数発生器1はランダム数 $z_1$ を発生し、それを遅延装置2を介して積分器3へ供給する。積分器3は与えられたランダム数 $z_2$ 、 $z_3$ を積分し、これは正または正および負である。ランダム数 $z_1$ 、 $z_2$ の積分 $p_a$ は位相変調器4へ与えられ、その出力は制御された発振器5に結合され、そのそれぞれの位相は積分 $p_a$ に基づいている。発振器5は、基準発振器6と、全体的な遅延が基準発振器6により制御されるリング発振器とから構成されている位相ロックループPLL部分を形成する。リング発振器は異なる位相でシステムクロック $c_1$ を与える複数の個々に制御可能なタップを有する。個々の遅延はシステムクロック期間の分数だけに等しく、例えば半クロック期間が35の遅延段により35の異なるクロック位相に分割されることができる。位相変調器4と発振器5は図4で示されているように結合されることもできる。

【0007】システムクロック $c_1$ を発生するための前述の信号路は、積分シミュレータ8、比較器9、選択装

置10を具備するチェック装置7により影響される。チェック装置はさらに、第1、第2、第3の限界値 $G1$ 、 $G2$ 、 $G3$ と、必要ならばデータバス19を経て積分シミュレータ、比較器、選択装置へ与えられることができる関連した反対の限界値 $G1'$ 、 $G2'$ 、 $G3'$ のためのメモリ11、12、13を含む。反対の限界値は好ましくは基準位相値 $pa=0$ 、または負の限界値 $G1$ 、 $G2$ 、 $G3$ であり、この場合別々の記憶装置は必要ではない。

【0008】積分シミュレータ8は積分ステップ後、新しいランダム数 $z1$ が第2または第3の限界値 $G2$ 、 $G2'$ 、 $G3$ 、 $G3'$ 内に存在するか否かをチェックする。結局、積分シミュレータ8には現在の積分 $pa$ が与えられ、符号に基づいて、新しいランダム数 $z1$ が加算または減算される。積分 $j$ は比較器9で限界値 $G2$ 、 $G2'$ 、 $G3$ 、 $G3'$ と比較され、比較結果は選択装置10に与えられる。この選択装置10は遅延されたランダム数 $z2$ の代わりに電子スイッチ14を経て積分器3の入力に与えられる修正されたランダム数 $z3$ を与える修正装置17を具備している。選択装置10はランダム数 $z1$ が積分されるか否か、またはそれぞれの限定を満たすために修正が実行されなければならない方法を決定するための論理装置を含んでいる。

【0009】図2はシステムクロックパルス $c1$ の後縁21の例により、このエッジが個々の位相ステップ $ps$ により正または負の時間方向で変化されることができる態様を示している。クロック位相は下限の第1の限界値 $G1$ に対応する最小の許容可能な値 $cm_{in}$ より下に降下してはならず、それはそうでなければ接続された回路ブロックの信号処理時間が非常に短くなるからである。所望のクロック期間または所望の位相 $ps_{oll}$ から開始して、アクティブクロック位相を減少する最大の位相シフト、シフト $-M$ が獲得され、これはどのような場合にも超過されてはならない。アクティブクロック位相を増加する位相シフトはこの限定を受けない。しかしながら便宜上の理由で、正の位相シフトは同じ量 $M$ に限定される。図2は最大の位相シフト $+M$ を示し、関連する上限値は $G1'$ である。限界値 $G1$ 、 $G1'$ は純粋な位相変動を有する、即ち積分器3のない許容可能な位相位置範囲に対応する位相位置範囲 $A0$ を規定する。位相シフトが所望の位相から開始しないならば、限界値 $G1$ 、 $G1'$ までの最大のシフトは対応して大きくまたは小さくなる。限定の場合では、最大のシフトは一方の限界値から他方まで延在する。

【0010】図3は第1および第2の時間インターバルにおける前縁22の位置範囲を概略的に示している。このケースは最小のクロック位相 $cm_{in}$ の要求を侵害せずに、エッジが図2よりも所望の位相 $ps_{oll}$ から時間的に離れるときに重要である。これは個々の位相ステップ $ps$ が例えば図2のような最大の許容可能なシフト $M$ 、 $-M$ を超えない場合である。この位置範囲 $A1$ の限

界は $G2$ 、 $G2'$ により表され、範囲は所望の位相 $ps_{oll}$ について対称に有効に延在する。一般に、この位置範囲 $A1$ は位置範囲 $A0$ よりも大きくなければならない。これは低いクロック周波数で適用されず、図7では、周波数範囲は24MHzよりも低い。

【0011】さらに大きい位相位置範囲 $A2$ が第2の時間インターバルで可能にされるならば、適切な帰還ストラテジ $+R$ 、 $-R$ は限界値 $G2$ 、 $G2'$ が再度最近の第1の時間インターバルの開始時に到達されることを確実にする。位相位置範囲 $A0$ 、 $A1$ 、 $A2$ の限定を満たすための適切な帰還ストラテジ $R$ を以下詳細に説明する。

【0012】図4はリング発振器として設計されている位相制御発振器5の1実施形態を概略的に示している。リング発振器は35の直列接続された遅延段20を含んでおり、その総遅延は位相ロックループPLL（詳細に図示せず）によりシステムクロック $c1$ 期間の $1/2$ 、即ち $T/2$ に調節される。個々の遅延段のタップはマルチスイッチ30に接続され、このマルチスイッチ30は累積された位相値を表す関連する積分に基づいて、これらのタップの1つを選択し、システムクロック $c1$ の2倍の周波数を有する補助クロック $c1'$ としてタップされた信号を周波数分割器25に提供する。この周波数分割器の出力はシステムクロック $c1$ を与え、これは駆動段（図示せず）により増幅される。補助クロックにより、システムクロックの前縁および後縁のパルスエッジは相互に独立して位相を修正される。

【0013】所望の位相がゼロの基準位相 $pa=0$ であり、個々の遅延ステップ $ps$ が補助クロック $c1'$ をこの基準位相に関して遅延するならば、図4で示されている構成は有効である。正および負の位相ステップ $+ps$ 、 $-ps$ が与えられるならば、基準位相を遅延チェーンの始めではなく、次のタップに接続することがさらに適切である。許容可能な正および負の位相ステップの範囲が限定されないために、ここではタップ37乃至53により、それ程短くない遅延チェーンである別の遅延チェーンの端部36に接続することも有効であるが、しかしながらタップは閉じたリング内に位置しないが、各タップではマルチスイッチ30において関連する入力（図4では示さず）を必要とする。タップ37乃至53に取付けられた遅延チェーンはこの範囲よりも大きい小さい位相ステップの発生時に本来のタップ0から35への変換を除去する。

【0014】図5は幾つかの位相シフトされたクロックパルスエッジをタイミング図で示している。第1のクロックパルス $c11$ の後縁は基準位相0で開始し、これは累算された位相値 $pa=0$ に対応し、前縁は累算された位相値 $pa=35$ で開始し、それは半クロック期間 $T/2$ が35の遅延段20により35のクロック位相に分割されるためである。

【0015】第2のクロックパルス $c12$ では、3つの

位相インCREMENT  $ps=3$  が与えられ、それによって後縁は累算位相値  $pa=3$  に位置される。次の位相ステップは値  $ps=0$  を有し、それによって第3のクロックパルス  $c13$  では、3における累算された位相  $pa$  は変化しない。次の位相ステップ  $ps=31$  は第4のクロックパルス  $c14$  の累算された位相を位相値  $pa=34$  へシフトする。次の位相ステップは  $ps=-29$  で負であり、第5のクロックパルス  $c15$  の位相を累算された位相値  $pa=5$  にシフトする。

【0016】図5のタイミング図では、範囲限界はまだ生じていない。位相ステップと範囲限界の関係が図6で示されている。第2の限界値  $G2$  および関連する反対の値  $G2'$  は第1の位相位置範囲  $A1$  を規定し、第3の限界値  $G3$  と反対の値  $G3'$  は拡張された位相位置範囲  $A2$  を規定する。スケールは累算された位相値  $pa$  を示している。スケール範囲は-8から23まで非対称的に延在する。6の位相インCREMENTにわたって延在し位相値  $pa=7$  で開始する第1の位相ステップ  $ps6$  は第1の位置範囲  $A1$  内に完全に位置する。同一の位相値で開始する位相ステップ  $ps10$  は第1の範囲  $A1$  外に位置する位相値17まで延在している。限界  $G2'$  に合致させるため、いわゆるミラーリング方法が実行され、ここでは限界  $G2'$  を超えて進行する位相ステップ  $ps10'$  はミラーされ、負の位相ステップ  $-ps2$  に対応し、負の位相ステップ  $-ps2$  は限界  $G2'$  から開始する。位相値17の代わりに、位相値13はミラーされた位相ステップ  $ps10$  により生成される。これは6位相単位の結果的な位相ステップ  $ps*6$  に対応する。

【0017】この方法は比較的大きい位相ステップ  $ps$  を許容するが、ある量の計算を必要とする。最大の可能な結果的な位相ステップは限界値  $G2$  から限界値  $G2'$  まで延在し、または  $cmin$  の要求から生じる最大の許容可能なシフト  $M$  が超過されないならばその反対に延在する。

【0018】位相値7から開始して、負の位相ステップ  $-ps10$  は低い限界  $G2$  を超え、この低い限界  $G2$  は位相値0にある。全ての位相ステップ  $ps$  が使用されるならば、これは最大シフト  $M$  を規定し、これは図6の例では位相ステップ  $ps=8$  に対応する。これは中間位相値または位相対 ( $pa=7$ 、 $pa=8$ ) から開始し、せいぜい2つの限界値  $G2$ 、 $G2'$  の一方を超えるが、他方の限界値  $G2'$ 、 $G2$  内にある最大の位相ステップである。正確な最大ステップサイズ  $M'$  は切り上げられた半分の第1の範囲  $A1$  に対応する。 $pa=7$  から開始する負の最大シフト  $-M'$  が低い限界値  $G2$  外に到着する事実は、積分される最大の位相シフト  $M'$  に対して符号  $+/-$  が正確な方法で修正装置17により特定されるならば不適切である。範囲の中心から開始するこの最大のシフトはミラーリング  $M^*$  で可能である結果的な最大シフ

トのほぼ半分の大きさである。以下、“ $M$ ”だけが最大シフトを規定するためのそれぞれのストラテジ(ミラーリングまたは方向の反転)を限定しないように最大のシフトとして与えられる。表示から、最大シフト  $M^*$ 、 $M'$  のどちらが意味されるかが明白である。

【0019】図6では、限界値  $G3$ 、 $G3'$  を有する拡張された位相位置範囲  $A2$  は特別な帰還ストラテジ  $R$  により決定され、それによって第1の範囲  $A1$  は1つの最大シフト  $M$ 、即ち例えば  $M^*$ 、 $M'$  により再度到達されることが可能でなければならない。限界値  $G3$ 、 $G3'$  を満たすため、再度種々の可能性が存在し、示された位相ステップ  $ps7$  はミラーリング方法の1例としての役目を再度行う。以下、第1または第2の範囲  $A1$ 、 $A2$  に使用されることができが部分的に範囲  $A0$  に対しても使用されることができ幾つかの帰還ストラテジが簡単にリストされる。

【0020】1. 積分される少なくとも1つのランダム数を予め定められた位相シフト、特に最大シフト  $M$ 、または位相シフトの予め定められたシーケンスによって置換する。

2. 積分される少なくとも1つのランダム数をそれぞれの限界における超過値をミラーリングすることにより置換する。

3. 積分される少なくとも1つのランダム数を符号変換により行われる方向の変化によって置換する。

4. 第3の限界値  $G3$ 、 $G3'$  間の範囲を超えて進行する積分される少なくとも1つのランダム数を、予め定められた時間点における第2の限界値  $G2$ 、 $G2'$  間の範囲に戻ることを保証する置換値によって置換する。

5. 最後のランダム数シーケンスを反復し、または反対の時間順序で反復し、或いは恐らく反対の符号によりランダム時間シーケンスで最後のランダム数シーケンスを反復する。

6. 適切なランダム数が現れるまで形成された各ランダム数を抑制する。

7. 前述の帰還ストラテジ、例えば  $No. 1$  と  $No. 3$  を組み合わせる。

【0021】図7乃至12はシステムクロック  $c1$  の選択された周波数の関数として累算された位相  $pa$  の位置範囲の例をグラフで示している。水平軸は0から50 MHzまでの周波数を測定する。垂直方向では、半クロック期間  $T/2$  は左側に示され、これは全てのリング接続された遅延段20、例えば図4のように35の遅延段の遅延に対応する。したがってそれぞれの複数の遅延段20はこの矢印の方向にしたがって規定される。

【0022】DからCへの10-nsラインはそれぞれのクロック位相が少なくとも10 nsでなければならない仮定されたケースに対して適用する。右側の垂直の矢印は半クロック期間  $T/2$  でスケールされるが、この矢印で示された点は第1の範囲  $A1$  の最大の許容可能な位



相値を表している。それ故、ラインAEは累算された位相値 $p_a$ を表し、これは $12\text{-ns}$ 範囲を侵害しないように超過されてはならない。対照的に、ラインDCは $10\text{ns}$ の最小位相範囲のために超過されてはならない累算された位相値の限定を規定している。それ故、最大の可能なシフトMは一方でラインABにより、他方でラインBCにより規定される。純粋な位相変調により、トライアングルABCは特定の条件下、即ち $10\text{-ns}$ の最小位相位置範囲と $12\text{-ns}$ の位相位置範囲で位相値の位置区域を規定する。全ての位相値はランダム数発生器により直接生成されることができる。

【0023】図7のラインDCは図示の例では、 $4\text{MHz}$ の低いクロック周波数で、限界が $c_{\min}$ により規定されている十分に長くアクティブなクロック位相に対する要求が半クロック期間 $T/2$ を通じてほぼ満たされていることを示している。完全性のために、 $T/2$ から $T$ の範囲はクロック位相のアクティブではない範囲であり、ここではクロック信号は $180$ 度だけ位相においてシフトされていることが指摘される。例えば $48\text{MHz}$ の高いクロック周波数で、半クロック期間 $T/2$ は非常に短く、即ち $10.4\text{ns}$ だけである。ここで限界値 $c_{\min}=10\text{ns}$ は $-0.4\text{ns}$ の負の位相シフトで既に到達されている。 $0.21$ と $0.39\text{ns}$ 間の最小の位相ステップサイズにより、これは丁度1位相ステップである。 $20$ の遅延段が半クロック期間 $T/2$ に対して使用されると仮定すると、最小の位相ステップサイズは既に $0.52\text{ns}$ の値を有する。この値により、状態 $c_{\min}=10\text{ns}$ は満たされない。この場合、クロック位相はもはや変化されず、固定される。この周波数でクロック信号の所望の位相変化を実行できるようにするために、遅延段の数が実質上増加されなければならない。

【0024】図7のラインAEは、 $4\text{MHz}$ の低いクロック周波数で、 $12\text{-ns}$ の位相位置範囲内に残留する要求を満たすことは困難であることを示しており、それは低いクロック周波数の結果として、個々の位相ステップが $12\text{-ns}$ 位置範囲と比較して比較的大きくなるからである。 $T/2$ で $20$ 段の前述の遅延チェーンにより、各遅延段は約 $6.2\text{ns}$ の位相段に対応する。 $12\text{-ns}$ の仮定された位置範囲は侵害を限定せずに、単一の位相ステップだけを許容する。この場合でも、遅延段数の実質上の増加は位相ステップのサイズの減少と、クロック位相の変化を許容するのに必要である。

【0025】 $48\text{MHz}$ の高周波数で、例えば $12\text{-ns}$ の位置範囲の限界を満たすことは臨界的ではなく、それは位相ステップが $12\text{ns}$ と比較して良好であるからであり、即ち、先に仮定された例に対応して $T/2$ にあたる $20$ 遅延段の場合、約 $0.52\text{ns}$ である。結果的な位相位置区域ABCは先の考察から得られ、限界はそれぞれの好ましくない状態により決定される。クロック周波数および遅延段数の選択で最も好ましい範囲はこの

ようなグラフから容易に決定されることができる。図7のグラフの仮定されたパラメータでは、 $24\text{MHz}$ の中央周波数範囲にほぼ位置し、ここでは最大の許容可能な位相シフトMは最大であり、したがって最大の位相変化を許容する。

【0026】図7のグラフおよびそれに続くグラフでは、最大の位相シフトMは図7および8にしたがって限界間の距離により規定され、これはそれぞれのクロック周波数と純粋な位相変調に適用される。限界から限界まで延在する位相シフトは帰還ストラテジとして限界における前述のミラーリングを使用する。したがって最大の可能なステップサイズは1つの限界から他方の限界へ延在する。

【0027】図8は例えば積分器のない純粋な位相変調による位相位置範囲を示しているが、許容可能な位相の位置範囲は基準位相値0について対称的である。 $12\text{-ns}$ 範囲はしたがって $F'$ における $-6\text{ns}$ から $F$ における $+6\text{ns}$ の範囲により構成される。ミラーリングを有する最大のシフトMのサイズは変化されないが、シフトはゼロ基準位相により影響される。菱形A、 $B1'$ 、C、 $B1$ により形成される純粋な位相変調の位置区域は図7のACB区域と同一のサイズである。 $10\text{-ns}$ 限界はまたそれぞれのクロックパルスエッジの両側に均一に延在するので、関連する限界曲線( $SC$ と $S'C$ )はそれぞれ $T/4$ と $-T/4$ で開始する。

【0028】図7、8の位相位置範囲は積分器のないクロック発生器の位相位置範囲に対応する。表示はある基本的な項目の説明を行うが、この項目はまた以下のグラフと共に使用される。

【0029】図9は本発明による積分器を有するクロック発生器の位相位置のグラフを示しており、システムクロックについての要求は図7、8と同一である。図9は非対称的なケースを示しており、これは位相基準値0から開始し、正の位相偏差を有する。図7と比較して、斜線の引かれた区域ACEは区域BCEにより増加されている。最大のシフトMの状態はラインABとBCにより与えられる。示されている矢印は全てそれぞれの周波数に割当てられた最大のシフトに対応する。 $40\text{MHz}$ で、相互に上に位置する3つの最大のシフトMは、その位置範囲が実質上この周波数の最大の許容可能なシフトMよりも大きいことを示している。ここで周波数変調により得られた位置範囲A1は最大の許容可能なシフトM、即ち範囲A0により規定された位置範囲よりも大きい。

【0030】図10のグラフは限界が位相基準値0について対称であると仮定されていることのみが図9のグラフと異なる。低い周波数で、最大のシフトはAから $B1$ およびAから $B1'$ の $6\text{-ns}$ 境界ラインにより限定される。最も大きい最大のシフトMは $B1$ と $B1'$ で到達され、図9のBの最大のシフトに等しい。2つの $5\text{-ns}$

s境界ラインは図8のように、SからCおよびS'からCまで延在し、ラインAFとAF'の交差点はB1とB1'である。区域AF'Fの面積は図9の区域ACEの面積と同一である。

【0031】図11と12のグラフはそれぞれ図9と10のグラフと部分的に同一であり、特にそれぞれの位置区域ACEとAF'Fに含まれる。しかしながらさらに、図11のグラフは補足的な位置区域EHIJとCH'I'J'を含んでおり、図12のグラフは補足的な位置区域FKLNとF'K'L'N'を含んでいる。これらの位置区域は、図3または図6により、延在する位置範囲A2が少なくとも第2の時間インターバルに対して適用する事実から得られる。しかしながら単一の最大シフトM手段により、12-ns位置区域A1、ACE、AFF'の限界は再度到達されることができる。第2の時間インターバルは例えば図1の周波数分割器18により決定される。比較的高い周波数のシステムクロックc1を仮定すると、データは例えば実質上低いクロック速度で外部バスにより走査され、そのため比較的狭い12-ns位相限界が必要である。しかしながら、この特定のデータ転送の外側では位相はさらに大量に変化し、これは図11と12の付加的な区域に対応する。

【0032】限界値IJ、I'J'、LN、L'N'は図11と12ではt:1として与えられている分割器18の分割比でリンクされる。分割器18が存在しないならば、分割比は1:1であり、さらに制限された位置状態A1が満足されなければならない。2:1の分割比でのみ、延在する位置範囲A2が1つおきのクロックパルス毎に可能である。第1のクロックパルスは狭い位置範囲A1であり、次のクロックパルスは広い位置範囲のA2であり、第3のクロックパルスは狭い位置範囲A1である。例えば8MHzの固定した周波数が狭い位置範囲A1の走査に対して特定されるならば、分割器18は0乃至40MHzの範囲をカバーするグラフにしたがってせいぜい6:1の分割比を有することができる。システムクロックc1はその後、48MHzの最大周波数を有し、20の遅延段を有する最大の位相シフトMは単一の位相ステップになる。しかしながら図1.1の位相位置範囲はCからほぼEに延在し、または図12では、ほぼF'からFへ延在する。基準位相pa=0に関する負の位相領域CH'I'J'の構成は遅延装置の適切な設計を必要とするか、または負の位相領域は省略されなければならない。しかしながら基準位相pa=0が遅延チェインの中間区域に位置するならば、負の位相は実現が容易である。このグラフは図12で示されている。

【0033】図13のブロック図は範囲が超過されたときに符号の反転を行うためのチェック装置7のサブ回路の1例を示している。ランダム数発生器1により発生されたランダム数z1は積分シミュレータ8へ与えられ、この積分シミュレータ8は計算装置38としての加算-減

算器を含んでいる。ランダム数z1の符号に基づいて、計算装置38は古い積分j<sup>-1</sup>と新しいランダム数z1の和または差を形成する。この計算プロセスの結果は試験積分jであり、これは比較器9.1中の第1および第2の計算装置42、43の加算入力に与えられる。加算器または減算器の役目を行うこれらの2つの計算装置42、43はそれらの減算入力でそれぞれ限界値G2'とG2を受信し、これらはメモリ12から読取られ、試験積分jから正確な符号で減算される。限界値G27が超過されるならば、即ちj>G2'ならば、第1の計算装置42は0よりも大きい出力値を提供する。試験積分値が限界値G2よりも下ならば、即ちj<G2であるならば、第2の計算装置43は0よりも小さい出力値を与える。2つの補数がランダム数z1とそれらの次の処理で使用されるならば、上位桁ビット(MSB)はそれぞれの符号を示し、即ち“0”は正であり“1”は負である。したがって計算装置42、43の出力値では、MSBだけが第1および第2の比較素子44、45でチェックされなければならない。比較は第1の論理信号aと第2の論理信号bを与える。ランダム数z1の符号またはMSBに対応するこれらおよび第3の論理信号cは選択装置10.1に与えられる、選択装置10.1はORゲート46とANDゲート47の組合わせを使用して3つの論理信号a、b、cを結合し、これは論理信号bに対する負の入力48を有する。この論理動作の結果は第4の論理信号dであり、これは制御信号として修正装置17の第1のサブ回路17.1に与えられる。論理信号dの状態に基づいて、サブ回路17.1はその出力値kとして、もとのランダム数z1または遅延素子2により遅延されたランダム数z2、またはランダム数z1のような別の数を与える。

【0034】第1のサブ回路17.1で示されている表は出力値kがどのようにもとのランダム数z1および制御信号dとリンクされているかを示している。信号dが論理0であるとき、出力数kはもとのランダム数z1の符号にかかわらず正の数である。信号dが論理1であるとき、出力数kはもとのランダム数z1の符号にかかわらず負の符号である。論理信号dともとのランダム数z1の処理との間の関係が図1.4の表で詳細に示されている。修正サブ回路17.1により与えられる数kにより、積分器3におけるこの数kの積分中、限界値G2'とG2は超過されないことが確実にされる。kの符号に応じて、kの絶対値は積分j<sup>-1</sup>に加算または減算され、したがって新しい積分j'を形成し、これは累算装置40の出力で利用可能である。この新しい積分は累算装置のレジスタ41に与えられる、次の比較位相では、これは古い積分j<sup>-1</sup>としての役目を行う。

【0035】幾つかのデータラインで、必要なビット数は小さい斜線近くに示されている。例えばランダム数z1は5つのビットを有し、積分シミュレータ8の出力は7つのビットを有し、計算装置42、43の出力と比較素子

44、45の出力はそれぞれ1ビットを有する。

【0036】図14は図13の第1の修正サブ回路17.1の機能を表の形態で示している。個々の列1乃至7は以下のものを含んでおり、

1. 表の行番号“Nr.”、
  2. 積分されるランダム数“z1”、
  3. 第1、第2、第3の論理信号“a”、“b”、“c”、
  4. 結果的な論理信号“d”、
  5. 積分シミュレータ8中で形成される積分“j”、
  6. 積分器3で実行される演算、即ちランダム数z1の絶対値が加算または減算のいずれか、
  7. 積分に対して所望の数kを得るためにランダム数z1により実行されなければならない演算の数学的表示。
- 【0037】行1、2では、試験積分jは限界値G2、G2'により規定される範囲を離れる。行3、4では試験積分jは予め定められた限界値G2、G2'内に存在する。したがって、積分器3で実行される演算は、行3と4では変化しない。もとの演算はランダム数z1の符号から導かれ、行2の対応する論理信号cを参照する。それ故、行3から、正の数z1は先の積分j<sup>-1</sup>に加算されることができ、行4から、負の数z1は先の積分j<sup>-1</sup>から減算されることができ。

【0038】しかしながら、行1と2では、試験積分jは限界値G2、G2'により規定される範囲を離れる。行1では、それ故信号aは論理1状態を仮定する。同様に、行2では、信号bは論理1の状態と仮定する。これらの信号aとbをランダム数z1の符号に基づく第3の信号cに論理的に結合することによって、第4の論理信号cが形成され、論理演算は図13で示されているゲート46、47により実行される。試験積分jが限界値G2、G2'より下に落ちるかそれを超過するとき、ランダム数z1の符号は積分のために変更されなければならない、これは列6で示されている。

【0039】行1および行2のz1の符号の変化は、それぞれ負および正の数値kを表し、行3および行4のz1の符号の保持は、それぞれ負および正の数値kを表す。行7の数値kの所望の符号は列4の信号dの論理状態と直接相関され、kの大きさはランダム数z1の大きさに等しい。

【0040】それ故、サブ回路17.1では、ランダム数z1は図14の表によりそれぞれの数システムで正および負の形態で利用可能にされなければならない。これは使用される数システムに基づいて、反転、補足、適切な表、または任意の他の適切な方法により行われることができる。論理信号dにより、正または等しい大きさの負のランダム数は出力値kとして読出され、積分器3へ与えられる。

【0041】図13の実施形態と、図14の関連する表は勿論、ランダム数z1をチェックし変更する他の方法

を除外しない。しかしながら、示されている例は比較器9.1と修正装置17のサブ回路17.1の機能を簡単な方法で示している。他の方法と比較して、ランダム数z1の符号反転により予め定められた限定を満たすストラテジは実行が非常に簡単である。

【0042】図15は試験積分jが限界値G2、G2'内に残っているか否かをチェックする別の比較器9.2を示している。第3および第4の計算装置49、50と第3および第4の比較素子51、52を具備する比較器9は図13の比較器9.1に対応する。出力信号、即ち第5および第6の論理信号e、fは選択装置10.2へ供給され、これはORゲート53によりこれらを結合する。このゲート53の出力は第7の論理信号gであり、これは制御信号として修正装置17の第2のサブ回路17.2へ与えられる。信号eとfはさらにそれぞれ制御信号m<sup>-</sup>とm<sup>+</sup>としてサブ回路17.2に与えられる。修正装置17の第1および第2のサブ回路17.1と17.2はそれぞれ信号a、b、cと信号m<sup>+</sup>、m<sup>-</sup>が与えられる。論理信号gは電子切換スイッチ55を制御し、それはその出力で集積される数kを与える。スイッチ位置“0”では、これはサブ回路17.1の出力値kであり、スイッチ位置“1”では、これはサブ回路17.2の正または負の最大シフト+Mと-Mである。サブ回路17.1は図13のサブ回路17.1に同一である。

【0043】図15の比較器9.2が限界値G2、G2'の制限範囲を超えたことを検出するならば、帰還ストラテジRを開始し、ここでは積分されるランダム数z1は例えば正または負の最大シフト+Mと-Nにより置換される。最も簡単なケースでは、2つの最大シフトはメモリ11に含まれている限界値G1、G1'である。2つの最大シフトのどちらが実行されるかについての選択は制御信号m<sup>+</sup>、m<sup>-</sup>により決定され、その一つは論理1状態である。2つの限界値G2、G2'の両者が超過されないならば、最大シフトは必要ではなく、結果的な信号gのように、両信号m<sup>+</sup>、m<sup>-</sup>は0状態である。したがって、スイッチ55は位置“0”である。

【0044】全ての限界のチェックは多数の加算および減算を含み、これは部分的に並列に生じ、部分的に先行する演算に依存し、したがって連続的に生じる。試験積分に必要な時間は遅延装置2またはパイプライン技術によって補償されることができる。別の可能性は例えば計算装置38を計算装置42、43へ含ませることにより別々の計算装置を多重計算装置に結合することである。全ての計算演算を並列の計算装置で実行し、その結果の1つを新しい積分として特別な選択装置により出力することによってさらに加速が実現されることができる。このようなアレンジメントは図16で概略して示されている。4つの多重計算装置60と4つの単一の計算装置70は特定の選択装置80に接続されている。選択装置80の出力は新しい積分paを提供し、それはその後クロック発生器100の位相制御された発振器5に与えられる。並列接続され

た計算装置60、70では、以下列挙する演算が実行され、試験されるランダム数 $z1$ は正確な符号で考慮され、即ち正または負の数値として考慮される。以下、符号反転方法の例により、個々の計算装置で並列して実行される動作を示す。

多重計算装置61:  $j + z1 - G2'$ 、

多重計算装置62:  $j + z1 - G2$ 、

多重計算装置63:  $j + z1 - G3'$ 、

多重計算装置64:  $j + z1 - G3$ 、

単一の計算装置71:  $j + z1$ 、

単一の計算装置72:  $j - z1$ 、

単一の計算装置73:  $j + M$ 、

単一の計算装置74:  $j - M$ 。

【図面の簡単な説明】

【図1】本発明にしたがったクロック発生器の1実施形態のブロック図。

【図2】クロックパルスエッジにおける可能な位相シフトの図。

【図3】クロックパルスエッジにおける可能な位相シフトの図。

【図4】位相変調器として使用されるリング発振器の概

略図。

【図5】幾つかの位相シフトされたクロックパルスエッジを示したタイミング図。

【図6】ランダム数を有する2つの異なる寸法の位相位置範囲の概略図。

【図7】選択されたシステムクロック周波数の関数としての位相位置範囲の例の図。

【図8】選択されたシステムクロック周波数の関数としての位相位置範囲の例の図。

10 【図9】選択されたシステムクロック周波数の関数としての位相位置範囲の例の図。

【図10】選択されたシステムクロック周波数の関数としての位相位置範囲の例の図。

【図11】選択されたシステムクロック周波数の関数としての位相位置範囲の例の図。

【図12】選択されたシステムクロック周波数の関数としての位相位置範囲の例の図。

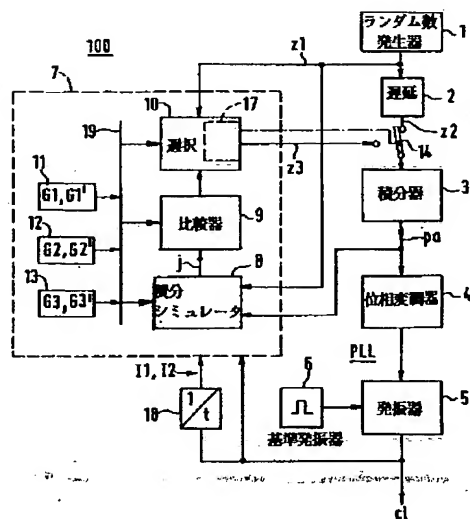
【図13】チェック装置の部分を示す図。

【図14】それに関連する処理表を示す図。

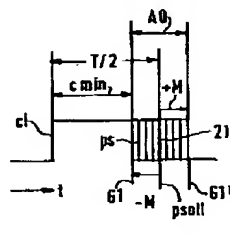
20 【図15】チェック装置の別のサブ回路の回路図。

【図16】並列処理アレンジメントのブロック図。

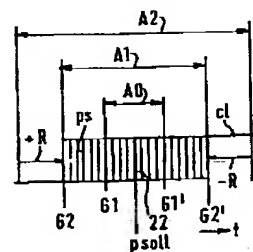
【図1】



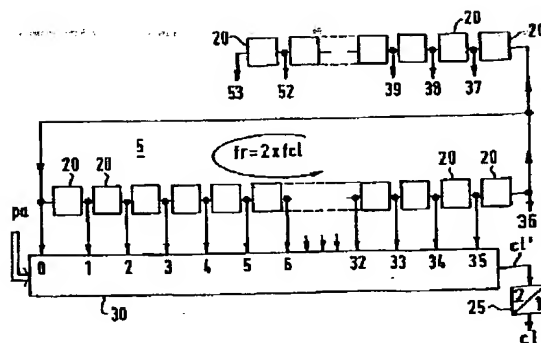
【図2】



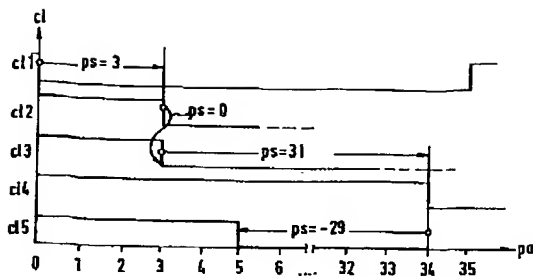
【図3】



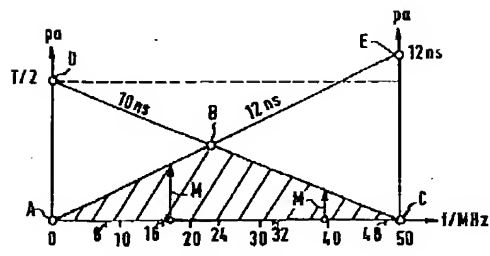
【図4】



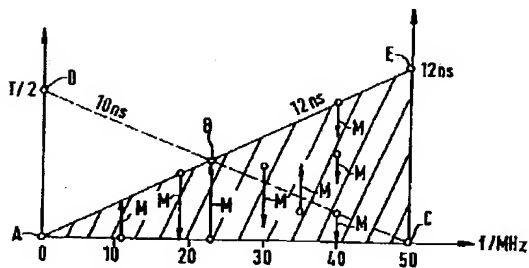
【図5】



【図7】



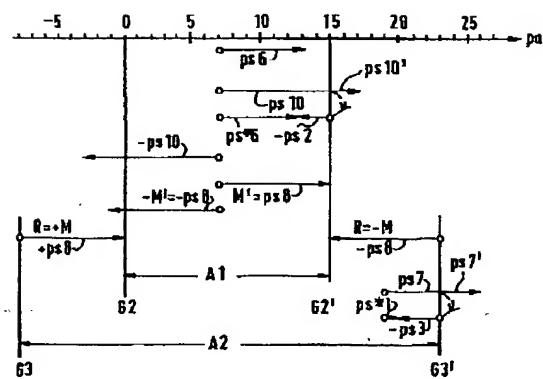
【図9】



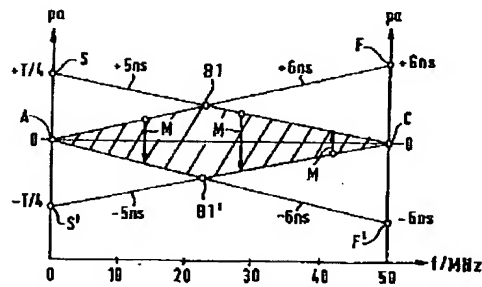
【図14】

№	z1	a	b	c	d	j	演算 (E)	演算 (k=1)
1	> 0	①	0	①	1	> 62'	加算 → 減算	-z1 = - z1
2	< 0	0	①	①	0	< 62	減算 → 加算	-z1 = + z1
3	> 0	0	0	0	0	62 < j < 62'	加算	+z1 = + z1
4	< 0	0	0	1	1	62 < j < 62'	減算	-z1 = - z1

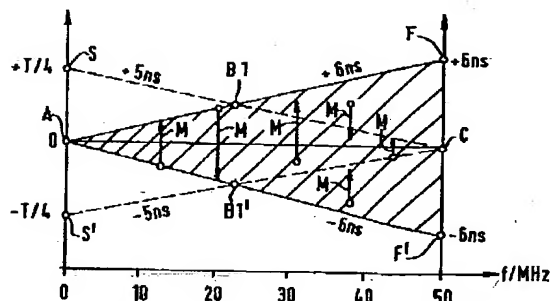
【図6】



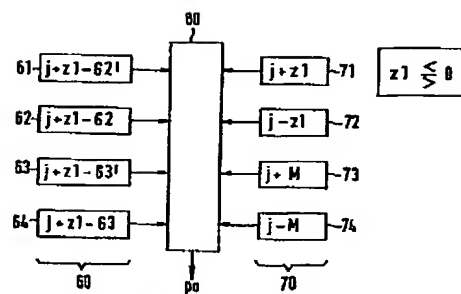
【図8】



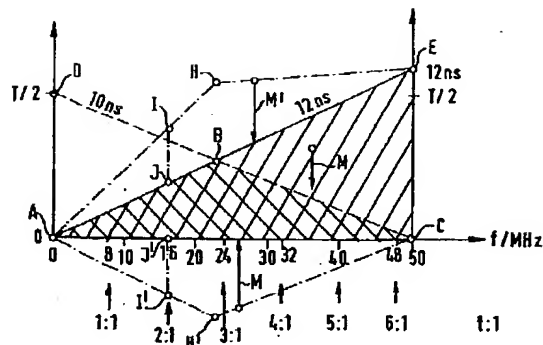
【図10】



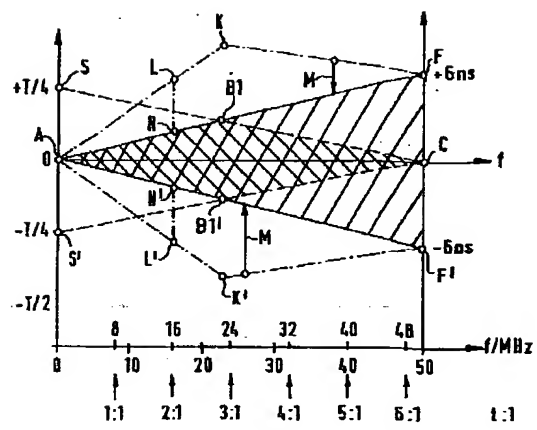
【図16】



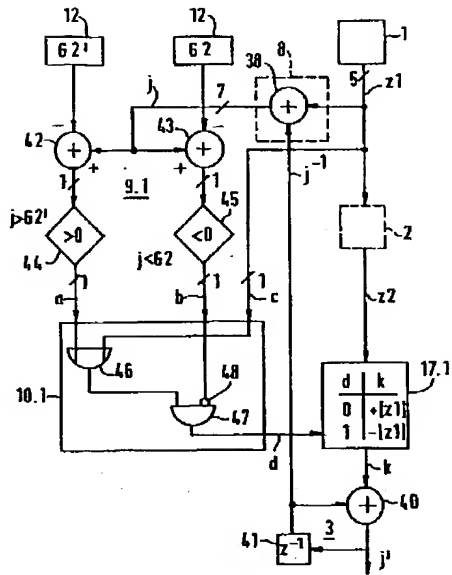
【図11】



【図12】



【図13】



【図15】

